

I. Overview & Notes

- Bias shift from CMRR on PA → PA's adjustment needed
- PA – 2 signal chains
- Signal chain: Amp – gain - Integrator
- Overscan Function as signal level of FFI --> CMRR
- Goal CMRR >6000 (10 ADU), Max. 10000
- CCD output: ~7 uV/e-
- Post Amp: 12.84 uV/ADU
- 둘 다 정확하다면, Sys. Gain = 1.83 e-/ADU (&)
- CCD output: 15% 차이, Post Amp: +/- ~2.2% uncertain
- 733ns --> 933ns ==> output node에 머무는 시간 증가, CMRR 보정에 의해 DC level 증가
- OS-FF slop, PA에서 조정하면 first-order CMRR은 잡을 수 있지만 higher order term이 남기 때문에 curvature가 plot에 남게 됨.
- Outliers 수정 - impacting the 2016 program 없어도 가능하다면, 이상적인 방법으로 60 PA's 다듬을 수 있음
- BIAS change range: +/-25 counts, 그래프상에는 50 ADU
--> 관계 살펴볼 필요 있음
- HE 커버 열기 전에 HE POWER OFF, CCD 연결 해제, 안전조치 후 시작 – HE는 망가져도 다시 만들 수 있지만 CCD는 고장 나면 못 고침.
- HE 점검 순서: 모든 CBB 분리, Raw V check, Utility functions check(Voltage, temperature, solenoid, etc), G CBB/PA's만 연결해 놓고 PA 조정

II. Preparations

<준비물>

→ 사진 추가할 것, 목록 만들기

- BLUE cable bolt: 2.5 mm 렌치
- HE Cover: 3 mm 렌치
- CBB fixing rod: 3 mm 렌치
- PA fixing block: 1/16"

<준비작업>

- ① 기존 BIAS level & image 기록 및 캡처 → (볼 끼고, 켜고 둘 다 확인)
Scale 2,2 cza 40 / Scale 3,3 cza 40 / Scale 5,5 cza 50 정도 적당함..
- ① HE Power off & unplug HE power cable

- ② Shorting plug installation on WB
- ③ Disconnecting Bluecables from WB
- ④ HE Power ON
- ⑤ PA/CBB connection check with Breakout Board(BOB)
- ⑥ HE Power OFF
- ⑦ Disconnecting Bluecable connector and wrapping it with pink form
- ⑧ HE Power ON & PAs Alignment

<유의사항>

- CCD 연결 해제 후 (분리 후), BIAS Level 변화가 생각보다 심함. 1800 정도에서 400 이하까지 떨어짐. 대체로 200 이하, 0 이하인 채널도 12 개 가량 있음. (SSO.2016.11)
- 리프트 접지
- 스트랩 모두

III. Post amplifiers alignment

[STEP 0] PA Check + Init

① PA power check

TP1: +5V

TP2: -5V

TP32: +6V

TP33: -6V

C194: 2.5V

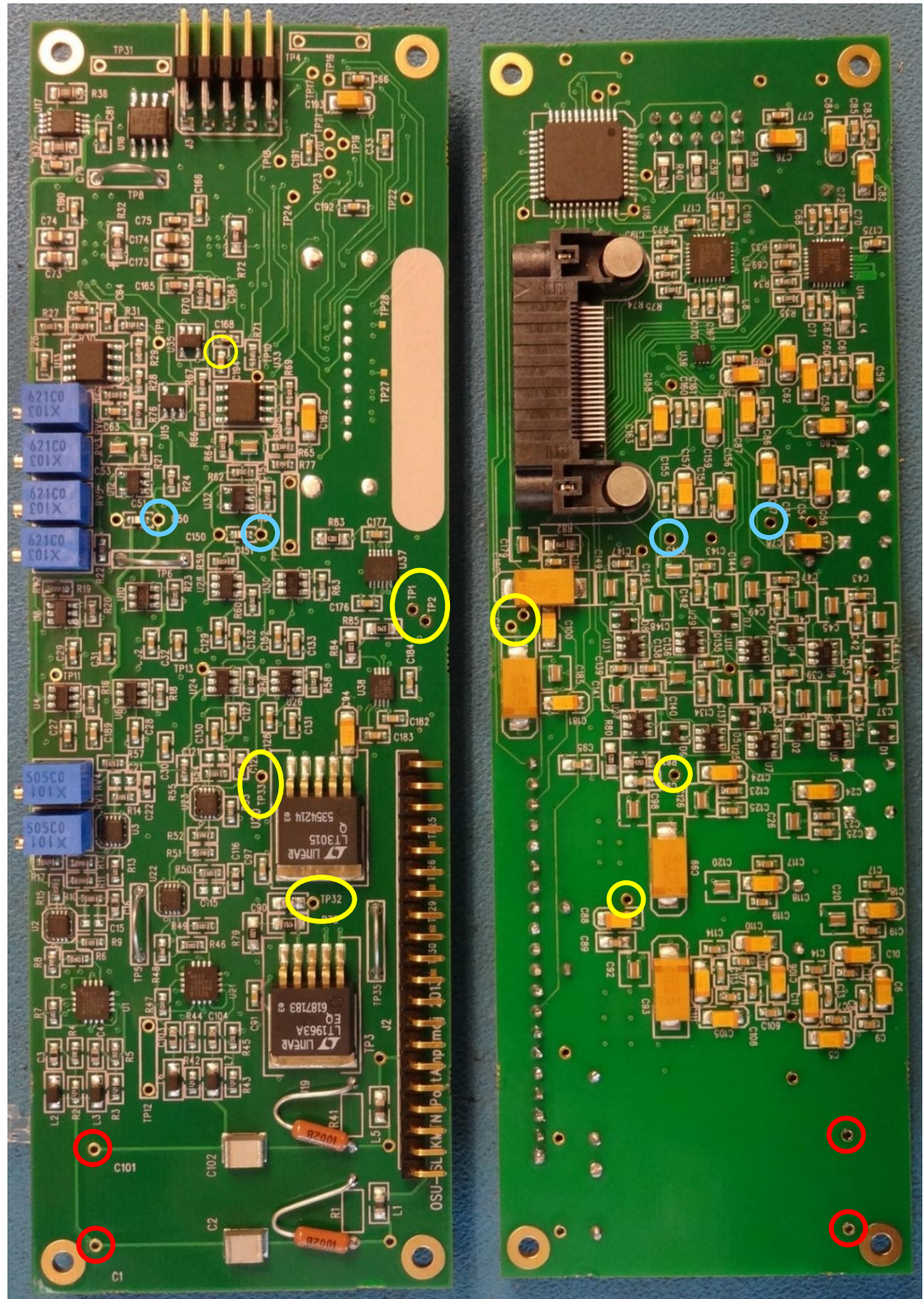
② FPGA program check

- Check with functional test

Voltage
check
points

BIAS RV6
Adj. RV3
Droop RV5
Adj. RV2

CMRR RV4
Adj. RV1



<Post Amp (PA) Board & Probing points>

[STEP 1] CMRR adjustment (for tuning BIAS Shift on the overscan area)

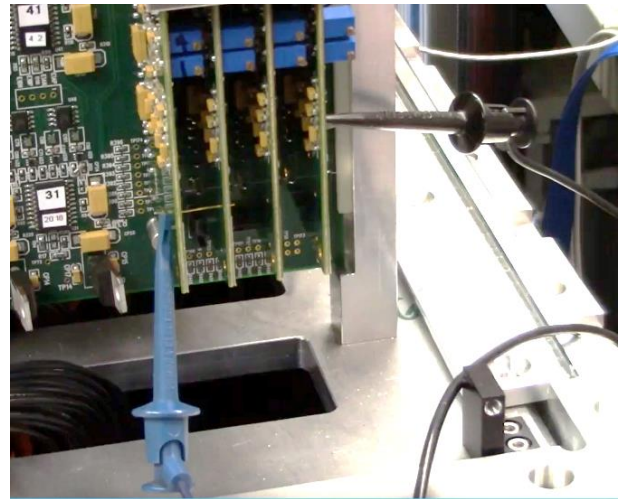
<Overview>

- Video: Postamp3~4
- CMRR - R15 & R17+RV1 matching perfectly
- DC voltage at Inverter
- Integrating Up, integrating Down, DC level
- AC couples at SIG_IN (CCD direction), C1/C101
- Offset at R2, averaged signal level
- RV1/RV4 adjustment, Map for channels
- CMRR adjustment
- overscan/bias tuning

* [STEP 1]과 [STEP 2]는 순서에 상관없이 독립적으로 조정해도 무방, 서로영향 없음.
굳이 순서를 정하자면 회로에서 시그널 흐름의 순서상 CMRR 부터 조정

<Procedure>

- 1) Signal generator configuration
 - signal to simulate DC level
 - 1 Hz, Triangle wave, 320 mV P-P, Offset +160 mVDC
 - 2) HE Power ON
 - 3) Display image using Program (aza, cza 50, za, ...)
 - 4) Connect simulation signal to C1/C101 & GND R1/R41
 - 5) Adjust RV1/RV4
- * Do this for all PAs, refer the map for channels
- * CW ↓ / CCW ↑



< QnA / Discussions>

- Program 수정하여 OVERSCAN만 보도록 한 것 인가? → 아니다. → C1, C101에 signal 주입 → sort of overscan을 보게 됨. (CCD의 시그널은 capacitor로 막혀있고, CCD 연결 안되어 있으니 overscan만 표시됨)
- CMRR 조정은 반드시 CCD 연결 안 한 상태에서 해야 함, Bluecable은 floating 된 상태로 둬.
- If with the camera, does we need light signals? → No, PA 조정 완료 후 카메라 이용, 최종 확인을 위해
- 좀더 정밀하게 조정하려면 어떻게? 그래프 그려가면서? → 이 방법이 best
- CBB K/M/T/N의 다른 PA는 어떻게 조정? → swap positions
- 약 10 ADU의 P-P는 남는다. → 2nd order error로 보정하기 어려움.

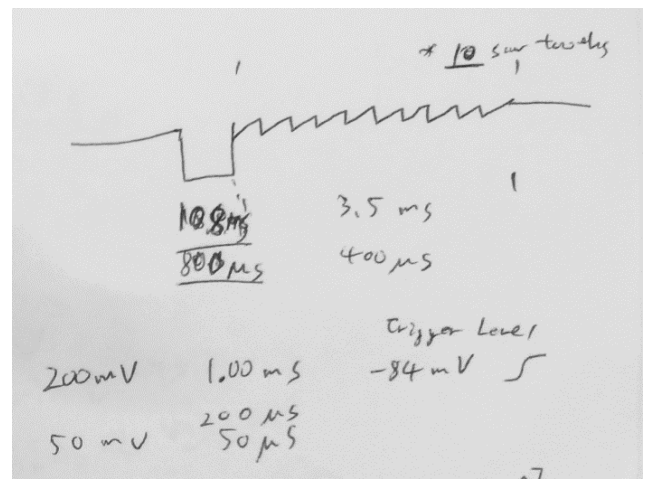
[STEP 2] Droop adjustment (for what?)

<Overview>

- Video: Postamp1~2
- Integrating amplifier adjustment (?)
- Removing saw tooth / ramping
- probing INT_OUT & making no ramping
- RV2/RV5 adjustment, CW+/CCW-
- Not drift, 0 to 0 (0 input → 0 output)
- for using whole dynamic range
with big offset on integrator
(너무 큰 Dynamic range 선택 안하도록)

<Procedure>

- 1) Turn HE OFF
 - 2) Remove/Install PAs - put on anti-static form pad!
 - 3) Turn HE ON
 - 4) Probing INT_OUT (C51/C151, GND at R1/R41)
 - 5) Adjustment RV2/RV5, CW+/CCW-
Sawtooths wave → flat, making no ramping
 - 6) Turn HE OFF
- * Do this for all PAs
 - * 분리/조립 시 유의: 각도주의, standoff 옆 board 제거 시 다른 board와 걸림



< QnA / Discussions >

- Timming 차이는 무엇인지?
- Why 10개? → 10x10 binning
- ±100mV noise, where it coming from? → 120MHz Freq. is every where.
- ramping 있으면 어떤 작용을 하는지?

[STEP 3] BIAS level adjustment on HE (without CCD)

<Overview>

- Video: Postamp5
- OUTPUT OFFSET adjustment
- RV3/RV6 adjustment, CCW+/CW-
- Min보다 낮아질 때 그래프/이미지 high로 jump --> 숫자를 같이 봐야함!
- 보기 좋게 만듦
- CCD 연결 시 output signal level 다르기 때문에 채널차 발생
그래서 브루스는 CCD 연결 후에도 조정하곤 함
- 필수는 아님. STEP 3는 조정안해도 무방, 다만 너무 차이나는 strip은 조정 필요

<Procedure>

- 1) Program으로 low level 보기 편하도록 맞춤 → 154x
- 2) Adjust RV3/RV6 for bias level,
Refer averaged value on Mono
* CW ↓ / CCW ↑

< QnA / Discussions >

- 조정하면 bias level만 변하는가 gain도 변하는가? → 이론상 gain은 변하지 않음. BIAS만 변함.
단, 온도에 따라, 환경적 요인에 따라 미세하게 변할 수 있음. 그러나 BIAS 변화가 더 큼.
- INT, CMRR 조정하면 이 level 변하는가? → 영향 있다. 따라서 가장 마지막에 BIAS level을 조정해야 함
- 화면상 밝기가 INT_OUT 인가? → 그런 듯
- BIAS Level 조정, CCD 연결 상태에서 해도 괜찮은지? → Yes

[COMMON]

< QnA / Discussions >

- Review: Postamp6
- 모두 CCD 연결 안 한 상태에서 진행
- 각 단계, 각 조정과정에서 기록해 두어야 할 것들은? 예를 들어 RV1의 저항 값?
→ 특별히 없다. 브루스 PA 검토 후 보냈기 때문에 정상적으로는 기록 필요 없음.
- gain 조정은 어떻게? → 고정(조정못함)
- VGA만 사용할 때 어떻게?
- Single display 이용 가능? → F1 키로 전환

<Preparations>

- signal(function) generator 수배/대여요청

<실험계획>

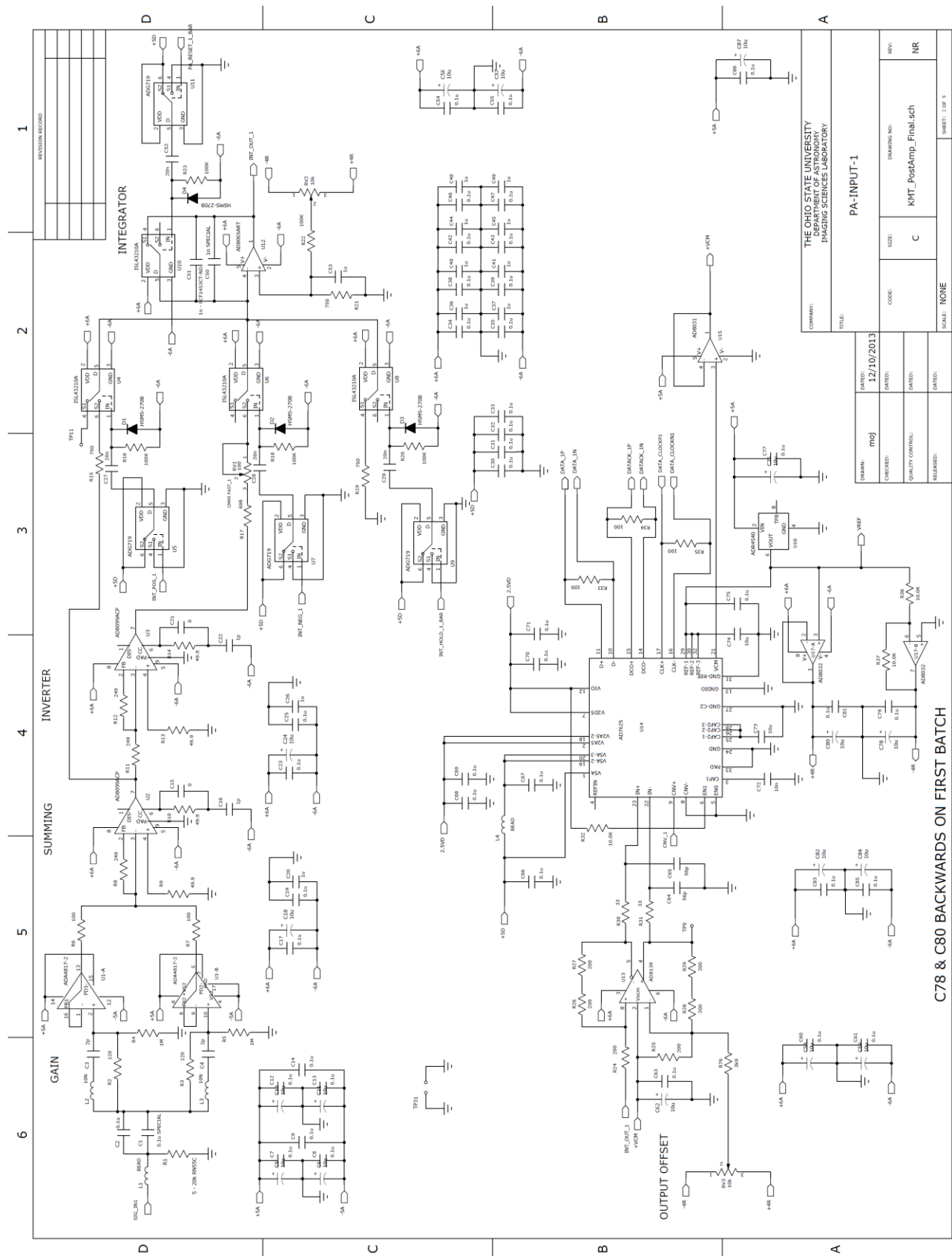
- HE 조정전 CCD 특성 측정
- HE 조정전/중/후 HE 값 기록
- HE 조정후 CCD 특성 측정
- 최종 CCD 특성 측정

<Program usage>

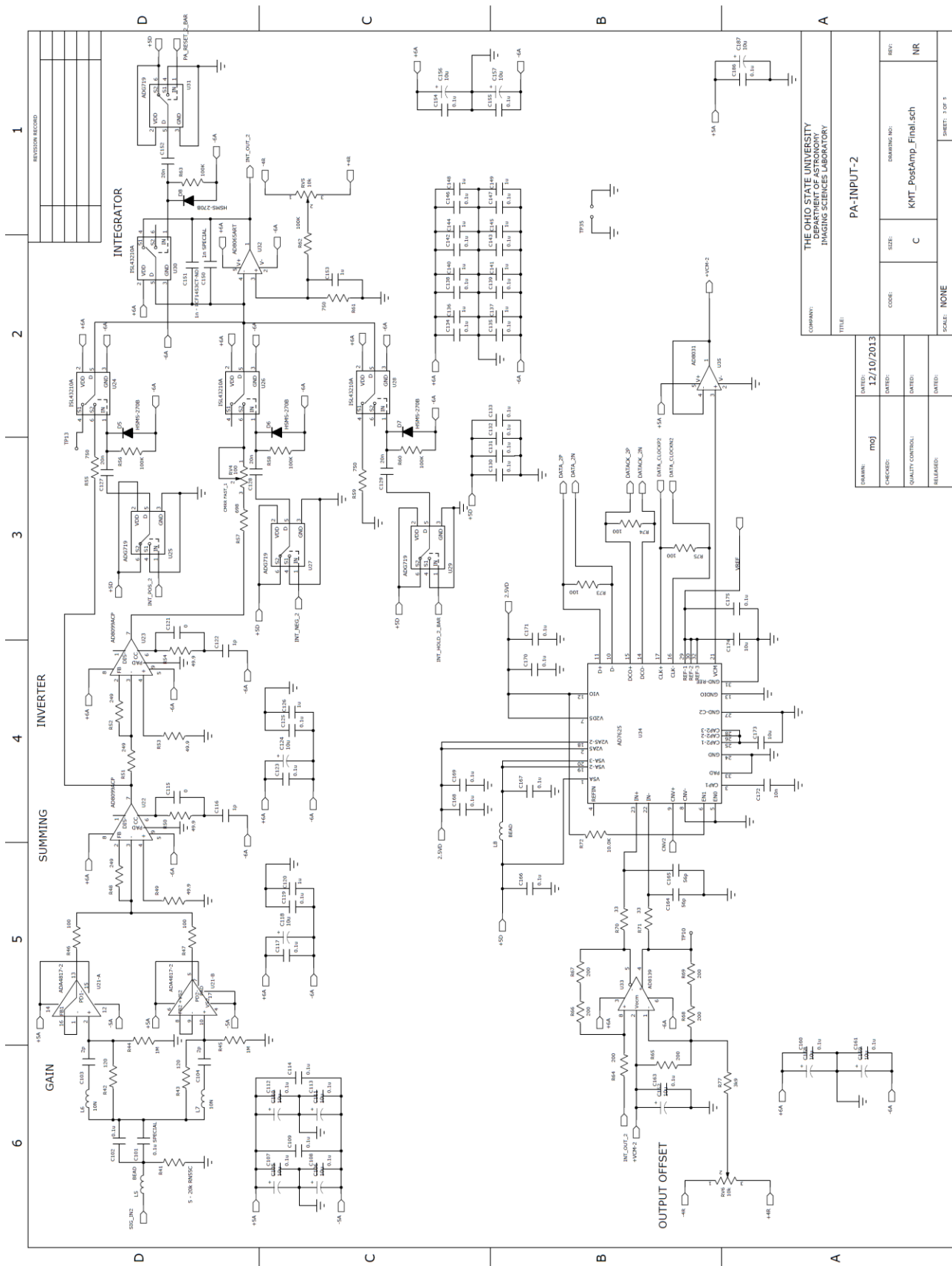
- Name: mono9kfx.bas
- Video: Postamp5
- CMD+Return → VAL+Return → CMD+Return ...
- Command lists
 - zz → Set offset to 0
 - za → Set offset to (Ave-60)
 - z4 <offset> → New offset = <offset>
 - scale <factor,factor> → New scale = Old scale x <factor> / default factor = 60,60 (=Min range=MAX-MIN)
 - cza <half range> → set offset to MIN (= Ave - <half range>)
- Ex) cza <Return> 30 <Return> scale <Return> 1,1
- Short key
 - <F1> → VGA/TEXT mode change
 - <Ctrl+Q> & <Ctrl+F> for CMD search In Editor
- Others:
 - * "Color"
 - * Bruce wrote on Turbo BASIC → Jerry converted to Power BASIC

<HW/Interface>

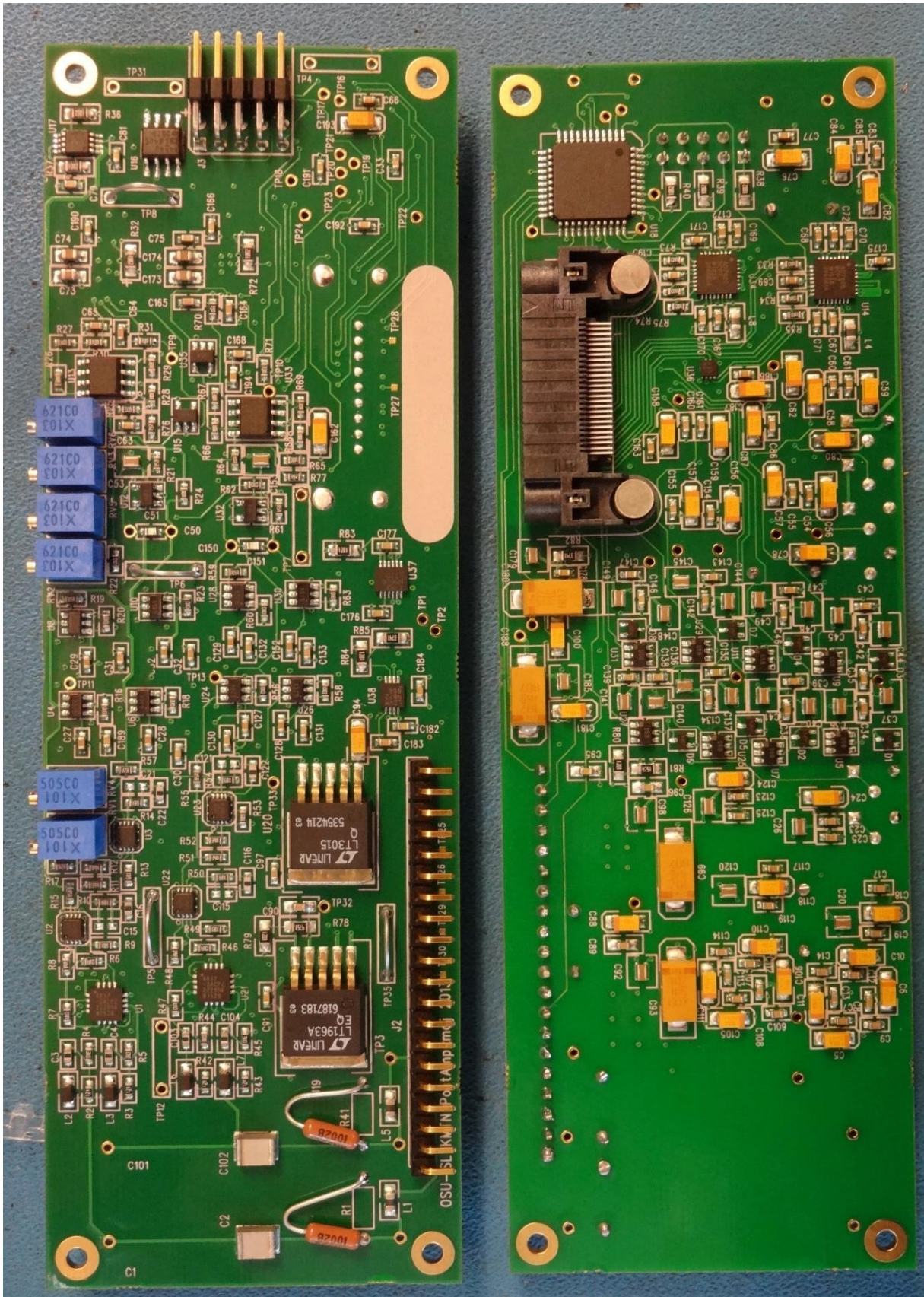
- VGA display - gray mode image
- Monochrome screen (Miracle), Genuone 제뉴원 스크린 & 어답터
- Monochrome display - statistics - Mean / RMS / Running Ave of last 10 images / Offset only for display
- Switching 2 modes – F1



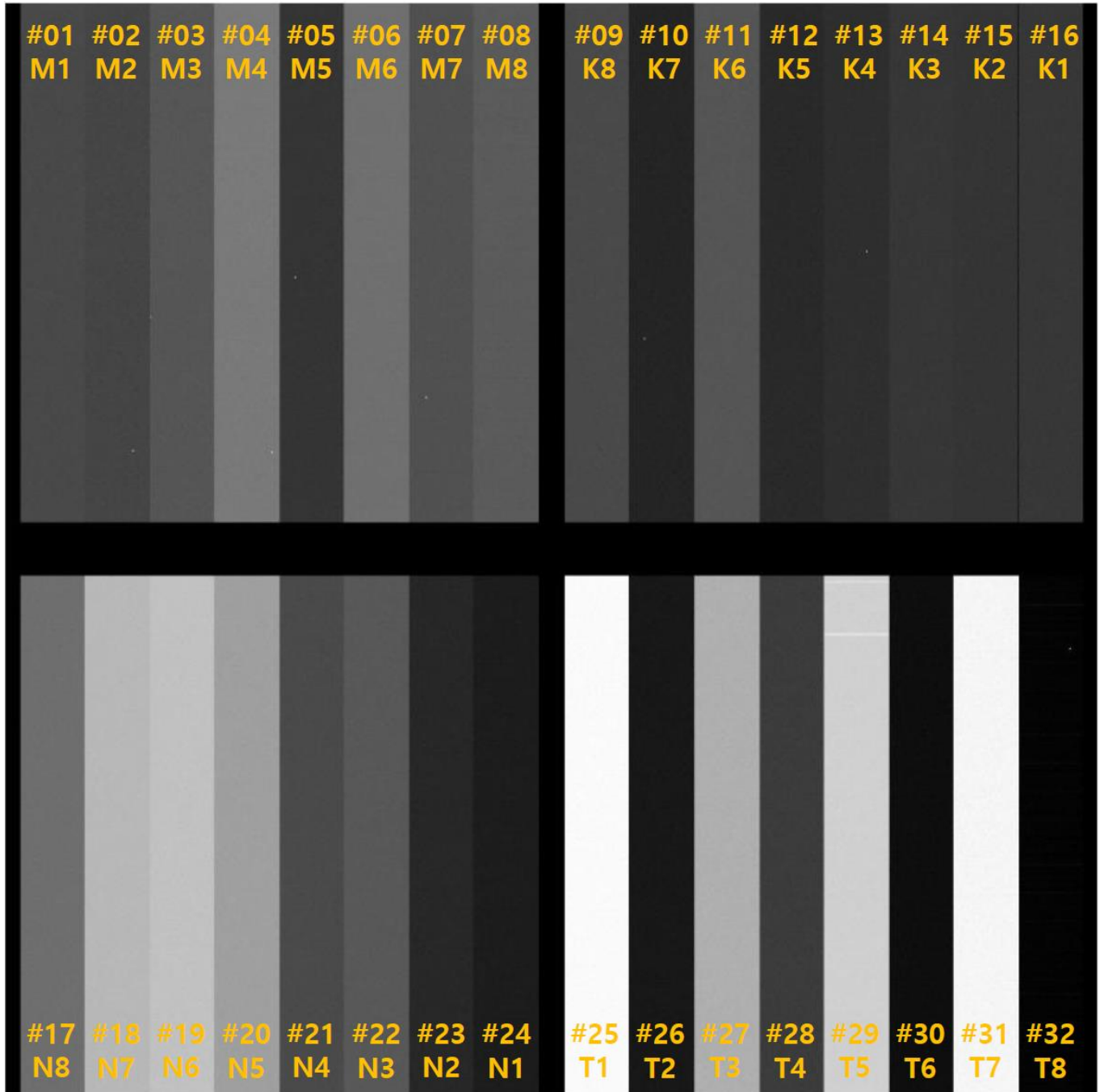
<Schematic of PA-INPUT-1>



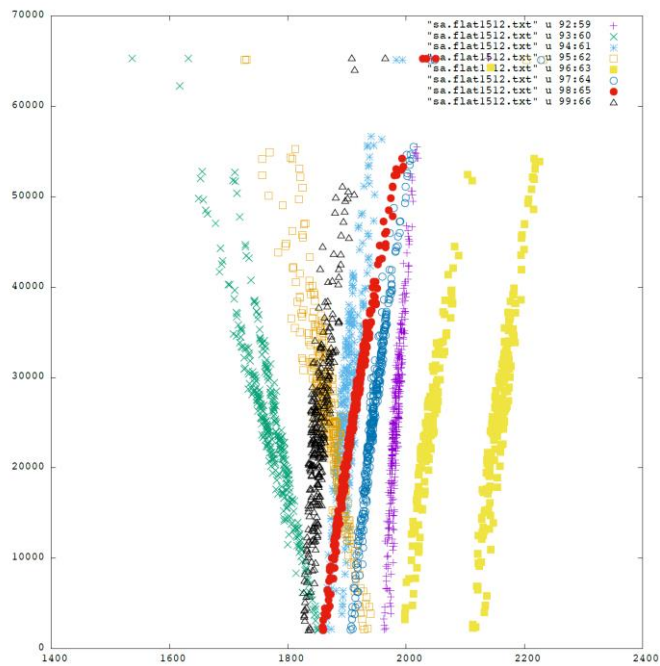
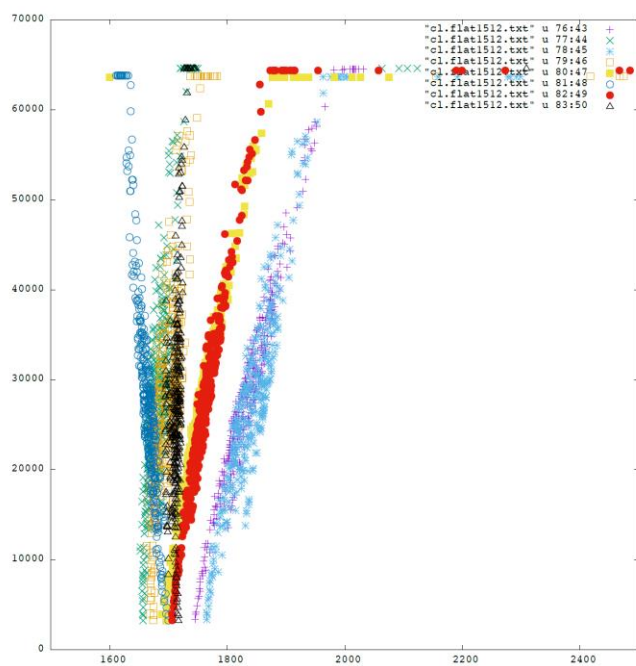
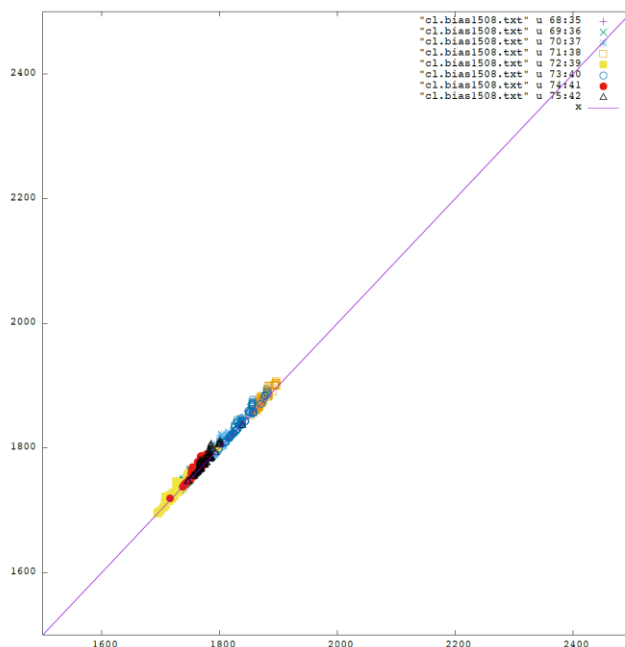
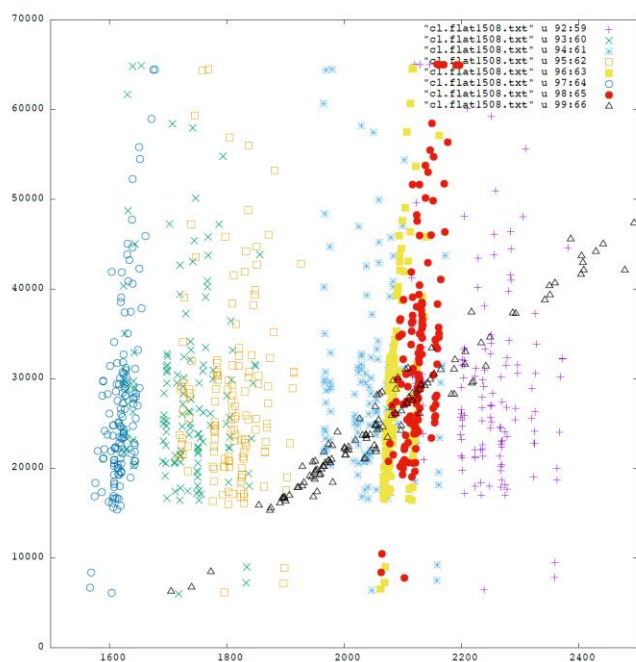
<Schematic of PA-INPUT-2>



<Post Amp (PA) Board>



<Strip index number>



<Examples of overscan error due to CMRR >